

⑬ 日本国特許庁(JP) ⑭ 特許出願公開  
⑯ 公開特許公報(A) 昭61-220193

⑰ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑱ 公開 昭和61年(1986)9月30日  
G 11 C 11/34 1 0 1 8522-5B

審査請求 未請求 発明の数 1 (全13頁)

① 発明の名称 半導体記憶装置

② 特 願 昭60-60694

③ 出 願 昭60(1985)3月27日

④ 発 明 者 松 本 哲 郎 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑤ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑥ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1. メモリアレイ

上記メモリアレイに結合されるべき複数の読み出し回路、

カラムアドレスストロブ信号の過渡変化を検出することによってタイミング信号を形成するタイミングセネレータ、及び

上記タイミング信号を受けることによって上記複数の読み出し回路を順次に動作させる制御信号を出力する制御回路、

からなることを特徴とする半導体記憶装置、

2. 上記制御回路は、上記タイミング信号をシフトベルスとして受けるシフトレジスタからなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置、

3. 上記メモリアレイは、マトリクス配線された複数のダイナミック型メモリセル、各ダイナミック型メモリセルの選択端子に結合された複数のデ

ータ線、及び各ダイナミック型メモリセルのデータ入出力端子に結合された複数のデータ線からなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置、

4. 上記複数の読み出し回路の出力端子は、互いに共通接続されていることを特徴とする特許請求の範囲第3項記載の半導体記憶装置、

5. 上記半導体記憶装置は、更に、上記メモリアレイに結合されるべき複数の書き込み回路からなり、

上記書き込み回路は、上記シフトレジスタから出力される制御信号によって順次に動作されることを特徴とする特許請求の範囲第4項記載の半導体記憶装置、

発明の詳細な説明

(技術分野)

この発明は、半導体記憶装置に関するもので、例えば、複数ビットからなるデータをシリアルに書き込み又は読み出しを行う機能(ニブルモード)を持つ半導体記憶装置に有効な技術に関するもの

である。

#### 〔背景技術〕

例えば、ダイナミック型RAM(ランダム・アクセス・メモリ)においては、1ビット単位でデータをアクセスする方式の他、ニプルモードと呼ばれるアクセス方式が提案されている。

第1図には、ニプルモードにおける信号のタイミングチャートが示されている。RAMのアクセスのために、ロウアドレスストロープ信号RAS及びカラムアドレス信号CASが図示のようにロウレベルに降下される。カラムアドレスストロープ信号CASは、図示されているように複数回立下げられる。RAMは、信号RAS及びCASの最初の立下りに同期して1組のアドレス信号すなわちロウアドレス信号及びカラムアドレス信号を取り込む。ニプル動作可能なRAMは、その内部に複数の信号保持回路と、その動作を制御するためのシフトレジスタとレジスタを持つ。1回のアドレス設定が行なわれると、RAM内の信号保持回路には4ビットのデータが与えられる。この4

ビットのデータは、第1図Cのタイミング図に示すように、カラムアドレスストロープ信号CASの立ち下がりに同期してその1ビットずつがRAMから順次に出される。

この種のダイナミック型RAMにおいて、タイミング発生回路のような内部回路がダイナミック回路から構成される場合、その内部回路は、カラムアドレスストロープ信号CASがハイレベルにされることによってプリチャージ状態もしくはリセット状態にされ、カラムアドレスストロープ信号CASがロウレベルにされることによって種々の信号を形成するように構成される。

ここでカラムアドレスストロープ信号CASのハイレベル期間は、通常、RAMを使用する電子システムのシステムクロックによってその最小パルス幅が制限される。それ故に、このようにカラムアドレスストロープ信号CASのハイレベルによってプリチャージ期間が設定される場合は、RAMのアクセスタイムが遅くなるという欠点がある。

#### 〔発明の目的〕

この発明の目的は、複数ビットのデータの入出力を高速に行える半導体記憶装置を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち代表的なものその概要を簡単に説明すれば、下記の通りである。すなわち、複数のメモリアレイに対するデータの出入力をカラムアドレスストロープ信号の変化タイミング信号に同期してシリアルに行わせることによって高速アクセスを実現するものである。

#### 〔実施例〕

第2図には、この発明をダイナミック型RAMに適用した場合の一実施例の回路図が示されている。実施例のダイナミック型RAMは、特に制限されないが、4つのメモリアレイMARY1ないしMARY4と、それぞれのメモリアレイに結合

されたセンスアンプSAと、アクティブリスタ回路AB、カラムスイッチ回路CW、メインアンプMA、ロウ及びカラムアドレスデコードRC-DCR、アドレスバッファADB、タイミング発生回路等からなる周辺回路とを持つ。

4つのメモリアレイは、互いに対応されるメモリアドレスを持つ。4つのメモリアレイに結合されるアドレスデコード、カラムスイッチ回路等の周辺回路が適当な構成にされることによって、4つのメモリアレイの互いに対応されるメモリアドレスは同時に選択される。

第2図においては、図面を簡単にするために、複数のメモリアレイのうち1つのメモリアレイMARY1とその周辺回路が代表として示されている。なお、これらのメモリアレイ及び周辺回路は、周知の半導体集積回路技術によって1つの半導体基板上に形成されている。

同図に示した実施例回路は、nチャンネルMOSFETを代表とするIGFET(Insulated Gate Field Effect Transistor)によって

構成されている。

メモリアレイ  $MARY1$  は、複数のデータ線（ビット線） $DL1$  ないし  $DL2$ 、ワード線  $WL1$ 、 $WL2$ 、及びメモリセル  $MC$  から構成されている。特に制限されないが、メモリアレイ  $MARY1$  は、折り返しビット線方式とされている。互いに隣接しかつ平行に延長されたデータ線  $DL1$  と  $DL1$  とは互いに対称されている。メモリセル  $MC$  は、対のデータ線  $DL1$  及び  $DL1$  と1つのワード線  $WL1$  によって形成される2つの交点のうちの一方に結合されている。

1ビットのメモリセル  $MC$  は、情報記憶キャパシタ  $C_s$  とアドレス選択用  $MOSFETQ_m$  とからなり、論理“1”、“0”の情報はキャパシタ  $C_s$  に電荷が有るか無いかの形で記憶される。

情報の読み出しは、 $MOSFETQ_m$  をオン状態にさせることによってキャパシタ  $C_s$  を共通のデータ線  $DL$  に結合させ、データ線  $DL$  の電位がキャパシタ  $C_s$  に蓄積された電荷量に応じてどのような変化が起きるかをセンスすることによって

れに結合される寄生容量を互いに等しくさせるため、互いに等しくされる。データ線  $DL$ 、 $DL$  のそれぞれに1個ずつのダミーセルが結合されている。また、各メモリセル  $MC$  は、前述のように1本のワード線  $WL$  と相補対データ線の方との間に結合されている。

アドレッシングにおいて、相補データ線対  $DL$ 、 $DL$  の一方に結合されたメモリセル  $MC$  が選択された場合、他方のデータ線には必ずダミーセル  $DC$  が結合されるように一対のダミーワード線  $DWL$ 、 $DWL$  の一方が選択される。

センスアンプ  $SA$  は、上記アドレッシングにより生じるこのような電位変化の差を、タイミング信号（センスアンプ制御信号） $\phi_{pa}$  で決まるセンス期間に拡大する。センスアンプ  $SA$  は、その一対の入出力ノードが1列の平行に配置された相補データ線  $DL$ 、 $DL$  に結合されている。このセンスアンプ  $SA$  は、一列の交差結線された  $MOSFETQ_1$ 、 $Q_2$  を有し、これらの正帰還作用により、相補データ線  $DL$ 、 $DL$  に現れた微少な信号

行われる。選択されたメモリセル  $MC$  によってデータ線  $DL$  に与えられる電位変化すなわちデータ信号のレベルは、データ線  $DL$  が比較的大きい寄生容量を持つので微小である。

特に制限されないが、このような微少な信号を検出するための基準としてダミーセル  $DC$  が設けられている。このダミーセル  $DC$  は、そのキャパシタ  $C_d$  の容量値がメモリセル  $MC$  のキャパシタ  $C_s$  のほぼ半分であることを除き、メモリセル  $MC$  と同じ製造条件、同じ設計定数で作られている。キャパシタ  $C_d$  は、アドレッシングに先立って、 $MOSFETQ_d$  によって接地電位に充電される。

キャパシタ  $C_d$  の容量値がキャパシタ  $C_s$  の約半分の容量値に設定されているので、ダミーセル  $DC$  は、メモリセル  $MC$  から対のデータ線の方々に与えられる読み出し信号のほぼ半分に等しい基準電圧を対のデータ線の他方に与えることになる。

相補データ線  $DL$ 、 $DL$  のそれぞれに結合されるメモリセルの数は、検出精度を上げるため、言い換えると、相補データ線  $DL$  及び  $DL$  のそれぞ

を差動的に増幅する。

各ワード線  $WL$  がデータ線対のそれぞれと交差され、その結果として各ワード線とデータ線との間に不所望なカップリング容量が形成されるので、1つのワード線が選択されるとそのカップリング容量を介して各データ線にノイズが与えられてしまう。しかしながら、折り返しビット線方式のメモリアレイにおいては、ワード線からカップリング容量を介してデータ線対  $DL$ 、 $DL$  のそれぞれに与えられてしまうノイズは、そのレベルが互いに等しい。このノイズは、コモンモードノイズであるので差動型のセンスアンプ  $SA$  によって相殺される。

上記のアドレッシングの際、一旦破壊されかかったメモリセル  $MC$  の記憶情報は、このセンス動作によって得られたハイレベル若しくはロウレベルの電位をそのまま受け取ることによって回復する。

しかしながら、センスアンプ  $SA$  の動作の結果として設定されるところのハイレベルが電源電圧

Vccに対して一定以上落ち込むと、前図の読み出し、書き込みを繰り返しているうちに論理"0"として読み取られるところの誤動作が生じる。この誤動作を防ぐために設けられるのがアクティブリスト回路ARである。このアクティブリスト回路ARは、ロウレベルの信号に対して何ら影響を与えずハイレベルの信号にのみ選択的に電源電圧Vccの電位にブースト(昇圧)する働きがある。

同図に示されているデータ線対DL1, DL1は、カラムスイッチCWを構成するMOSFET Q3, Q4を介してコモン相補データ線対CDL1, CDL1に接続されている。他のデータ線対も同様なMOSFET Q5, Q6を介してコモン相補データ線対CDL1, CDL1に接続されている。このコモン相補データ線対CDL1, CDL1は、後で第3図において述べるデータ出力回路の入力端子とデータ入力回路の出力端子にそれぞれ接続されている。コモン相補データ線CDL1, CDL1は、またメインアンプMAの一対の入出力端子に

れax1, ax1を形成する。アドレスバッファADBは、また、カラムアドレスストローブ信号CASにより形成されたタイミング信号φacに同期して外部アドレス信号YA0ないしYA1を取り込み、内部相補アドレス信号ya0, ya0ないしya1, ya1を形成する。特に制限されないが、カラム系の内部相補アドレス信号ax0ないしax1のうちのax1及びax1は、後で第3図において説明するアドレスデコードSR-DCRに供給される。残りの内部相補アドレス信号ax0, ax0ないしax1-1, ax1-1はロウデコードR-DCRに供給される。同様に、カラム系の内部相補アドレス信号ay0, ay0ないしay1, ay1のうちのay1及びay1はアドレスデコードSR-DCRに供給され、残りのアドレス信号ay0, ay0ないしay1-1, ay1-1はカラムデコードC-DCRに供給される。

ロウアドレスデコードR-DCRは、ロウアドレスストローブ信号に基づいて形成されたワード線選択タイミング信号φxと上記内部相補アドレス信号を受け、アドレス信号XA0~XA1-1

結合されている。

ロウデコード及びカラムデコードRC-DCRは、アドレスバッファADBで形成された内部相補アドレス信号を受けて、1本のワード線及びデミワード線並びにカラムスイッチ選択信号を形成する。これによってメモリセル及びデミセルのアドレッシングが行なわれる。

アドレスバッファADB、ロウデコード及びカラムデコードRC-DCRのそれぞれの構成は、良く知られているダイナミック型RAMのそれと同じにできる。それ故にそれぞれについての詳細な説明を省略する。

簡単に言うと、これらの回路は、ダイナミック動作の回路から構成され、後で説明するタイミング発生回路から出力される種々のタイミング信号によってそれぞれの動作が制御される。すなわち、アドレスバッファADBは、ロウアドレスストローブ信号RASにより形成されたタイミング信号φarに同期して外部アドレス信号XA0~XA1を取り込み、内部相補アドレス信号ax0, ax0ない

によって指定されたワード線及びデミワード線をタイミング信号φxに同期して選択する。

カラムデコードC-DCRは、カラムアドレスストローブ信号CASに基づいて形成されたデータ線選択タイミング信号φyと上記内部相補アドレス信号を受け、上記アドレス信号YA0~YA1-1によって指示されたデータ線を上記データ線選択信号φyに同期して選択する。

メインアンプMAは、その動作が、タイミング信号φmaによって制御され、コモン相補データ線CDL1及びCDL1に与えられるデータ信号を増幅する。

第3図には、4ビットのデータをシリアルに書き込み又は読み出しを行うエブルモード機能を実現するためのデータ出力回路R1ないしR4とデータ入力回路W1ないしW4とそれらの動作を制御するタイミング発生回路TGの一部を示す一実施例のブロック図が示されている。

特に制限されないが、この実施例では4組のメモリアレイMARY1~MARY4が形成され、

それぞれのコモン相補データ線対  $\overline{CDL1}$ ,  $\overline{CDL1}$  ~  $\overline{CDL4}$ ,  $\overline{CDL4}$  に得られた読み出し信号を増幅する4組の読み出し回路もしくは読み出しアンプ  $R1 \sim R4$  と、上記それぞれのコモン相補データ線対  $\overline{CDL1}$ ,  $\overline{CDL1}$  ~  $\overline{CDL4}$ ,  $\overline{CDL4}$  に書き込み信号を供給する書き込み回路もしくは書き込みアンプ  $W1 \sim W4$  とが設けられる。そして、上記各読み出しアンプ  $R1 \sim R4$  の出力信号は共通の出力バッファ  $OB$  を介して外部に送出される。一方、上記各書き込みアンプの入力端子には、共通の入力バッファ  $IB$  を介して外部からの書き込み信号が供給される。このように、出力バッファ  $OB$  と入力バッファ  $IB$  とを共通化した場合には、これらの回路  $OB$ ,  $IB$  は、特に制限されないが、CMOS回路のようなスタティック型回路によって構成される。

この実施例では、4ビットのデータをシリアルに読み出し又は書き込みを行うため、上記読み出しアンプ  $R1 \sim R4$  と書き込みアンプ  $W1 \sim W4$  とは、読み出し又は書き込み制御信号  $w_0$  と後述するタイ

ミング発生回路  $TG$  によって形成されたタイミング信号  $\phi 1$  ないし  $\phi 4$  に従って時系列的に動作させられる。すなわち、ライトネーブル信号  $\overline{WE}$  がハイレベルなら、読み出しアンプ  $R1 \sim R4$  がタイミング発生回路  $TG$  によって形成されたタイミング信号  $\phi 1 \sim \phi 4$  に従って時系列的に動作させられる。ライトネーブル信号  $\overline{WE}$  がロウレベルなら、書き込みアンプ  $W1 \sim W4$  がタイミング発生回路  $TG$  によって形成されたタイミング信号  $\phi 1 \sim \phi 4$  に従って時系列的に動作させられる。

読み出しアンプ  $R1$  は、書き込み制御信号  $w_0$  がロウレベルにされているときにタイミング信号  $\phi 1$  がハイレベルにされるとそれに応じて動作状態にされる。動作状態の読み出しアンプ  $R1$  は、メモリアレイ  $MARY1$  に結合されたコモン相補データ線  $\overline{CDL1}$  と  $\overline{CDL1}$  とに与えられるデータ信号に対応したデータ信号を相補信号線  $\overline{CDR}$  と  $\overline{CDR}$  に出力する。読み出しアンプ  $R1$  は、書き込み制御信号  $w_0$  がハイレベルにされているとき、すなわち、外部ライトネーブル信号  $\overline{WE}$  の

ロウレベルによってメモリに書き込み動作モードが指示されているとき、およびタイミング信号  $\phi 1$  がロウレベルにされているとき非動作状態にされる。非動作状態の読み出しアンプ  $R1$  は、その出力インピーダンスがハイインピーダンス状態にされる。

読み出しアンプ  $R1$  の具体的な回路例が第4図に示されている。読み出しアンプ  $R1$  は、図示のように、それぞれのゲートがコモン相補データ線  $\overline{CDL1}$ ,  $\overline{CDL1}$  に結合された増幅用 MOSFET  $Q15$ ,  $Q16$ 、スイッチ MOSFET  $Q17$ ,  $Q18$ 、及びスイッチ MOSFET  $Q17$ ,  $Q18$  を制御するための MOSFET  $Q10$  ないし  $Q14$  から構成されている。

書き込み制御信号  $w_0$  がハイレベルなら、これに応じて MOSFET  $Q11$ ,  $Q14$  がオン状態にされ、スイッチ MOSFET  $Q17$  及び  $Q18$  のゲートは、ほぼ 0 ボルトのロウレベルに維持される。従って、スイッチ MOSFET  $Q17$  及び  $Q18$  はオフ状態にされている。

書き込み制御信号  $w_0$  がロウレベルにされている状態においてタイミング信号  $\phi 1$  及び  $\phi 1$  がハイレベルにされると、これに応じてスイッチ MOSFET  $Q17$  及び  $Q18$  はオン状態にされる。その結果として増幅用 MOSFET  $Q15$  及び  $Q16$  がそれぞれ相補信号線  $\overline{CDR}$ ,  $\overline{CDR}$  に結合される。コモン相補データ線  $\overline{CDL1}$ ,  $\overline{CDL1}$  に与えられるデータ信号によって増幅用 MOSFET  $Q15$  と  $Q16$  が相補的に動作されるので、一対の相補信号線  $\overline{CDR}$  と  $\overline{CDR}$  のうちの一方がほぼ 0 ボルトのロウレベルに強制されることになる。

なお、相補信号線  $\overline{CDR}$  及び  $\overline{CDR}$  のそれぞれに与えの電位を与える手段が第3図のデータ出力バッファ  $OB$  の中に無い場合、相補信号線  $\overline{CDR}$ ,  $\overline{CDR}$  のそれぞれと回路の電源端子  $V_{cc}$  との間にプルアップ抵抗手段（図示しない）が設けられる。

第3図の読み出しアンプ  $R2$  ないし  $R4$  は、 $R1$  と同様な構成にされる。

読み出しアンプ  $R1$  ないし  $R4$  は、タイミング

信号 $\phi 1$ ないし $\phi 4$ が順次に発生されることに応じて、順次に動作される。

書き込みアンプW1は、書き込み制御信号 $w_0$ がハイレベルにされているときにおいてタイミング信号 $\phi 1$ がハイレベルにされると、それに応じて動作状態にされる。動作状態の書き込みアンプW1は、相補信号線CDWと $\overline{CDW}$ とに供給されているデータ信号と対応したデータ信号をコモン相補データ線CDL1と $\overline{CDL1}$ とに与える。これにより外部データ信号Dinと対応されたデータ信号が入力バッファIB及び書き込みアンプW1を介してコモン相補データ線CDL1及び $\overline{CDL1}$ とに与えられる。書き込みアンプW1は、書き込み制御信号 $w_0$ 及びタイミング信号 $\phi 1$ がロウレベルにされていると、それに応じて非動作状態にされる。非動作状態の書き込みアンプW1は、高出力インピーダンスを持つようにされる。

第5図は、書き込みアンプW1の具体的回路例を示している。

書き込み制御信号 $w_0$ がロウレベルであり、か

る。タイミング信号 $\phi 1$ がハイレベルにされるとそれに応じてスイッチMOSFETQ19及びQ20がオン状態にされる。その結果、MOSFETQ25及びQ27のゲートは、信号線CDWのハイレベルに応じてハイレベルにされる。タイミング信号 $\phi 1$ は、MOSFETQ23を介してMOSFETQ26のゲートに供給される。しかしながら、この場合、MOSFETQ26のゲートは、MOSFETQ25がそのゲート電位のハイレベルによってオン状態にされているので、ほぼ0ボルトのロウレベルのままにされる。MOSFETQ30及びQ32のゲートは、信号線CDWがロウレベルにされているのでロウレベルのままにされる。タイミング信号 $\phi 1$ は、MOSFETQ28を介してMOSFETQ31のゲートに供給される。この場合、MOSFETQ30がオフ状態にされているので、MOSFETQ31のゲートは、タイミング信号 $\phi 1$ がハイレベルにされると、それに応じてハイレベルにされる。

その結果として、コモン相補データ線CDL1

及び $\overline{CDL1}$ がハイレベルなら、それによりMOSFETQ21、Q22、Q24及びQ29がオン状態にされ、MOSFETQ23、Q28がオフ状態にされる。このとき出力バッファを構成するMOSFETQ26、Q27、Q31及びQ32は、それぞれのゲートが上記MOSFETQ21、Q22、Q24及びQ29によってほぼ0ボルトにされているので、オフ状態にされている。従って、この状態においてコモン相補データ線CDL1及び $\overline{CDL1}$ の電位は、書き込み回路W1によって変更されない。

書き込み制御信号 $w_0$ 及び $\overline{w_0}$ がそれぞれハイレベル、ロウレベルにされているなら、MOSFETQ26、Q27、Q31及びQ32の導通状態は、タイミング信号 $\phi 1$ が発生されたときの相補信号線CDW及び $\overline{CDW}$ のレベルによって決定される。このときの回路動作は、次のようになる。

例えば、相補信号線CDW及び $\overline{CDW}$ のレベルが、第3図のデータ入力バッファIBによってそれぞれハイレベル、ロウレベルにされているとす

及び $\overline{CDL1}$ は、それぞれロウレベル、ハイレベルに強制される。

書き込みアンプW2ないしW4は、W1と同様な構成にされる。その結果として書き込みアンプW1ないしW4は、タイミング信号 $\phi 1$ ないし $\phi 4$ が順次に発生されることによって順次に動作される。

タイミング発生回路TGの一部は、カラムアドレスストローブ信号CASを受けるエッジトリガ回路EGと、シフトレジスタSRとにより構成される。タイミング発生回路TGのより具体的な構成は、後で第6図によって説明する。

上記エッジトリガ回路EGは、特に制限されないが、上記カラムアドレスストローブ信号CASと、その遅延信号 $\overline{CAS}$ を形成して排他的論理和回路に供給することによって、カラムアドレスストローブ信号CASの変化タイミングを検出する。

なお、最初の変化タイミングには、応答しないようにされている。このようにして形成されたタイミング信号EGは、シフトレジスタSRのシフトクロックとして利用される。

シフトレジスタSRは、4ビットのシフトレジスタであり、外部アドレス信号XA1とYA1に対応する内部アドレス信号ax1, ax1, ay1, ay1を受けたアドレスデコーダSR-DCRから出力されるデコード信号とプリセット信号φpsとによってその初期値が設定される。

すなわち、第2図のアドレスマップADBから内部アドレス信号ax1, ax1, ay1及びay1が出力された後にタイミング信号φyが発生されると、それに応じてアドレスデコーダSR-DCRが動作される。それに応じて、アドレスデコーダSR-DCRの4つの出力のうちの1ビットがハイレベル(論理"1")にされる。その後、プリセット信号φpsが発生されると、アドレスデコーダSR-DCRの出力がシフトレジスタSRにプリセットされる。すなわち、シフトレジスタSRは、その4ビットのうちアドレス信号XA1とYA1とによって指示された1ビットが論理"1"にされ、残りの3ビットが論理"0"にされて初期設定がされる。上記論理"1"の情報は、

排他論理和回路EX1から出力される検出パルスNsは、第7図Hに示されたように変化される。

インバータ回路IV1, IV2及びMOSFETQ10及びQ11は、カラムアドレスストロブ信号検出回路を構成している。

ロウアドレスストロブ信号RASとカラムアドレスストロブ信号CASのいずれかがハイレベルに維持されているなら、インバータ回路IV2の出力N1は、第7図Cに示されたようにハイレベルにされている。このとき、ダイオード接続のMOSFETQ10は、実質的にオン状態にされており、MOSFETQ11は、カラムアドレスストロブ信号CASを受けるインバータ回路IV2の出力(ロウレベル)によってオフ状態にされている。それ故に、信号CAS1は第7図Dに示されたようにハイレベルにされている。

ロウアドレスストロブ信号RASがロウレベルに変化されると、それに応じてインバータ回路IV2の出力は、第7図Cに示されているようにロウレベルに変化される。このとき、MOSFET

上記シフトクロックに従って順次右方向にシフトされ、最終段出力は初段側へ帰還される。

これにより上記シフトレジスタSRの各段から4つのタイミング信号φ1~φ4が形成される。それぞれのタイミング信号は、対応するアンプR1, W1~R2, W4に供給される。

第6図は、タイミング発生回路TGの具体的なブロック図を示している。

エッジトリガ回路EGは、特に制限されないが、図示のようにインバータ回路IV1ないしIV4、排他論理和回路EX1、ナンド回路ND1、遅延回路DLY1, DLY2及びMOSFETQ10及びQ11から構成されている。

遅延回路DLY2と排他論理和回路EX1は、カラムアドレスストロブ信号CASのトランジェントを検出するための検出回路を構成している。遅延回路DLY2は、得べき検出パルスのパルス幅と実質的に等しい遅延時間を持つようにされる。これによりカラムアドレスストロブ信号CASが第7図Bに示されたように変化されると、

Q10は、自動的にオフ状態にされる。信号CAS1は、MOSFETQ10とQ11との接続点に存在する浮遊容量や寄生容量によってハイレベルに維持される。

その後、カラムアドレスストロブ信号CASが第7図Bに示されたようにロウレベルに変化されると、それに応じてMOSFETQ11がオン状態にされる。その結果として信号CAS1は、第7図Dに示されるようにロウレベルにされる。信号CAS1は、その後のカラムアドレスストロブ信号CASのレベル変化にかかわらずロウレベルに維持される。言い換えると、信号CAS1は、CAS信号の最初の立下りにのみ応答してロウレベルにされる。信号CAS1は、第7図Dに示されたようにRAS信号及びCAS信号の両方がハイレベルにされることに応じてハイレベルにされる。

遅延回路DLY1とナンド回路ND1は、グート回路を構成している。遅延回路DLY1は、信号反転機能を持つ。遅延回路DLY1の遅延時間

は、遅延回路DLY2のそれに対していくぶん大きくされている。

遅延回路DLY2の出力N2は、第7図Eに示されているように予めロウレベルにされており、信号CAS1がロウレベルにされた後にハイレベルにされる。遅延回路DLY1の遅延時間の適当な設定によって、出力N2は、排他論理和回路EX1の出力の最初のハイレベル期間の後にハイレベルにされる。ナンド回路ND1は、出力N2がハイレベルにされることによって開かれる。

それ故に、インバータ回路IV4を介して得られるナンド回路ND1の出力φeg、すなわちシフトクロックφegは、第7図Iに示されているようにCAS信号の最初のトランジェントに反応されない。

第8図において、プリセットパルス発生回路PSGは、信号CAS1の立下りを検出することによって第7図Fに示されたようなプリセット信号φpsを形成する。このプリセット信号φpsは、第3図のシフトレジスタSRに供給される。

がロウレベルにされた後にハイレベルにされる。これによってロウデコードR-DECが動作される。

タイミング信号φpsは、RAS信号がハイレベルにされることに応じてロウレベルにされ、タイミング信号φxがハイレベルにされた後にハイレベルにされる。これによって第2図のセンスアンプは、ワード線が選択された後に動作される。

タイミング信号φaciは、RAS信号がロウレベルにされるとそれに応じてロウレベルにされ、タイミング信号φpsがハイレベルにされた後にハイレベルにされる。これによってアクティブリストア回路ARは、メモリセルからデータ線DLI、DLI等に与えられたデータ信号がセンスアンプSAによって増幅された後に動作させられる。

第6図のエッジトリガ回路EGから出力される信号CAS1及びφegは、カラムタイミング発生回路CTGの動作を制御するための制御信号とされる。

カラムタイミング発生回路CTGは、上記信号

第6図において、ロウタイミング発生回路RTGは、ロウアドレスストローブ信号RASを受けることによってロウ系の種々のタイミング信号を形成する。

タイミング信号φpcは、RAS信号がハイレベルにされているときにおいてハイレベルにされており、RAS信号がロウレベルにされることによってロウレベルにされる。第2図のアクティブリストア回路ARにおけるブリチャージ回路(図示しない)は、タイミング信号φpcのハイレベルによって動作され、それぞれ刻とされたデータ線はVccレベルのブリチャージレベルにさせる。

タイミング信号φarは、RAS信号がロウレベルにされることによってロウレベルにされる。アドレスバッファADBは、前述のようにタイミング信号φarによってその動作が制御され、ロウ系のアドレス信号XA0ないしXA1を取り込む。

タイミング信号φxは、タイミング信号φar

CAS1とともにロウタイミング発生回路RTGから出力されるタイミング信号φxと実質的に同位相のタイミング信号φxを受けることによって種々のタイミング信号を出力する。

タイミング信号φacは、信号CAS1がロウレベルに変化されると、それに応じてロウレベルにされる。アドレスバッファADBは、タイミング信号φacがロウレベルにされることによってカラム系のアドレス信号YA0ないしYA1を取り込む。

タイミング信号φyは、信号CAS1がロウレベルにされると、ロウタイミング発生回路RTGからタイミング信号φxが出力された後にハイレベルにされる。カラムデコードC-DCRは、タイミング信号φyによって動作される。

タイミング信号φmsは、ノア回路NR1から出力される信号が第7図Kに示されたようにハイレベルにされることに応じてハイレベルにされる。

第2図のメインアンプMAは、このタイミング信号φmsによって動作される。



なお、ノア回路NR1及びそれから出力される信号CAS2は、この実施例のカラムタイミング発生回路CTGにとって必要とされない。信号CAS2は、第3図の出力バッファOB及び入力バッファIBがプリチャージ回路を含むようなダイナミック回路から構成される場合に、カラムアドレスストローブ信号CASのトランジェントに反応してそれらの回路のプリチャージ開始及び動作開始の制御を行なうために必要とされる。

上記信号CAS2にかえて排他論理回路EX1の出力N3が利用されても良いが、この場合は、次の点に注意する必要がある。

すなわち、出力N3がロウレベルに変化されるタイミングは、CAS信号の変化タイミングに対し遅延回路DLY2の遅延時間だけ遅延される。そのため、CAS信号が最初にロウレベルにされてから出力N3がロウレベルに変化されるまでにやや長い時間が必要とされることになる。その結果、CAS信号の最初の立下りに対する回路の応答速度が制限される。

カラムアドレスストローブ信号CASがハイレベルに変化されると、これに応じてエッジトリガ回路EGからシフトクロックφegが送出されるので、シフトレジスタSRの論理"1"が次第にシフトされる。これによって、タイミング信号φ2がハイレベルになり、読み出しアンプR1に代わって読み出しアンプR2が動作する。これによって、出力バッファOBからは、メモリアレイM-ARY2からの読み出し信号が出力される。以下、同様にカラムアドレスストローブ信号CASが変化する度に、シフトレジスタSRの論理"1"がシフトされるので、メモリアレイM-ARY3、メモリアレイM-ARY4からの読み出し信号が順次出力される。このような最初に読み出しを行うメモリアレイの設定は、上記アドレス信号XA1とYA1の設定によって任意に行われる。

なお、書き込み動作は、上記カラムアドレスストローブ信号CASの変化タイミングに同期して外部端子Diaに書き込みデータを供給すれば、上記同様にして、次々に書き込みアンプW1〜W4が動作

この実施例回路の読み出し動作を第7図のタイミング図に従って説明する。

ロウアドレスストローブ信号RASがロウレベルになると、上述のようにX系のアドレッシングが行われ、データ線DLに読み出し信号が現れる。次いで、カラムアドレスストローブ信号CASがロウレベルになると、上述のようにY系のアドレッシングが行われ、4つのメモリアレイからそれぞれ1つずつのメモリアルセルが選択され、メモリアルセルからの読み出し信号がコモン相補データ線CDL1、CDL1〜CDL4、CDL4に得られる。そして、上記アドレス信号XA1、YA1によって、シフトレジスタSRの例えば初期回路が論理"1"に設定され、これによりタイミング信号φ1がハイレベルにされる。ライトイネーブル信号WEがハイレベル（図示せず）にされている場合、このタイミング信号φ1によって読み出しアンプR1が動作する。これによって、出力バッファOBからは、メモリアレイM-ARY1からの読み出し信号が最初に出力される。次に、カラ

するので、4つのメモリアレイへの書き込みが順次行われる。

実施例の回路は、変更可能である。例えば、出力バッファOB及び入力バッファIBは、前述のようにプリチャージ回路を含むようなダイナミック回路から構成されて良い。この場合、出力バッファOB及び入力バッファIBは、第7図Xに示されたような検出パルスCAS2によってその動作が制御される。すなわち、これらの回路OB、IBは、検出パルス(CAS2)のロウレベルによって予めプリチャージ状態にされ、カラムアドレスストローブ信号CASのレベル変化が検出されることによって（言いかえるとCAS2がハイレベルにされることによって）動作される。この場合、回路OB及びIB内の種々のノードが予め基準レベルにプリセットされるので、これらの回路は、それぞれに加わるデータ信号が十分に大きいレベルに増大されないタイミングにおいても、誤りなく動作する。この場合は、また、予めプリチャージもしくはプリセットが実行されるので、

回路OB及びIBの動作タイミングを一定にすることができる。

出力バッファOB及び入力バッファIBは、それぞれ共通の回路から構成されていなくても良い。

例えば、出力バッファOBは、読み出しアンプR1ないしR4のそれぞれに一对一対応される回路部分を持っていて良い。

第8図には、そのようなデータ出力バッファOBの一実施例の回路図が示されている。

上記読み出しアンプ(メインアンプ)R1～R4(第3図参照)からの増幅出力信号は、それぞれ次の駆動回路DV1～DV4に供給される。同図では、代表として駆動回路DV1とDV4とが代表として示されている。すなわち、駆動回路DV1は、タイミング信号φ1が供給される端子と回路の接地電位点との間に設けられ、上記読み出しアンプR1からの相補ゲート信号dout1、dout1を交差的に受けるプッシュプル形MOSFETQ10、Q12及びQ11、Q13によって構成されている。すなわち、反転出力信号

dout1は、MOSFETQ10とQ13のゲートに供給され、非反転出力信号dout1はMOSFETQ11とQ12のゲートに供給される。上記MOSFETQ10とQ12及びMOSFETQ11とQ13の接続点から得られた信号は、次のプッシュプル形出力MOSFETQ14、Q15のゲートに供給される。すなわち、MOSFETQ10とQ12の接続点の信号は、接地電位側の出力MOSFETQ15のゲートに供給される。上記MOSFETQ11とQ13の接続点の信号は、電源電圧Vcc側の出力MOSFETQ14のゲートに供給される。

残りの駆動回路DV2～DV4と出力回路OB2～OB4も上記類似の回路により構成される。そして、出力回路OB1～OB4の出力端子は共通化されて、言い換えるならば、ワイヤードオフ構成とされて1つの出力端子Doutに接続される。上記各駆動回路DV1～DV4に供給するタイミング信号φ1～φ4は、上記第3図のタイミング発生回路TGによって形成される。

タイミング発生回路TGは、2ビットのアドレス信号A<sub>1</sub>とA<sub>2</sub>により指定された最初に出力するメモリアレイから順にカラムアドレスストロブ信号の変化タイミングに従ってタイミング信号φ1～φ4を形成する。したがって、上記第7図のタイミング図に示すように、4つの駆動回路DV1～DV4がタイミング発生回路TGによって形成されたタイミング信号φ1～φ4に従って秩序的に次々に動作するので、4つのメモリアレイからの読み出し信号がシリアルに出力されるものとなる。

なお、タイミング信号φ1～φ4のロウレベルによって不動作状態にされた駆動回路DV1～DV4は、その出力がロウレベルされるので、出力回路OB1～OB4はハイインピーダンス状態となり、上記タイミング信号φ1～φ4のハイレベルによって動作状態にされた駆動回路DV1～DV4を通して供給された信号を受ける出力バッファOB1～OB4の出力信号が外部出力端子Doutから送出されるものである。

(効果)

(1) カラムアドレスストロブ信号の変化毎に、複数のメモリアレイに対する読み出しを行うことができるので、高速化を図ることができるという効果が得られる。ちなみに、カラムアドレスストロブ信号によってプリチャージを行う出力回路が読み出し回路もしくは出力バッファに設けられる場合には、約30nsものプリチャージ期間を要するので、4ビットの読み出しは全体で約330nsもの時間を要するものになってしまう。これに対して上記のようにカラムアドレスストロブ信号の変化タイミング毎に読み出しを行うと、全体で約240nsで読み出しを行うことができる。

(2) 複数のメモリアレイからの信号をそれぞれ受ける読み出し回路に対して共通の出力バッファを用いた場合には、比較的簡単な回路によって高速読み出し化を実現できるという効果が得られる。

(3) 複数のメモリアレイからの信号をそれぞれ駆動回路と出力バッファ回路とを用いて出力させ

るような回路構成とした場合には、上記駆動回路を時系列的に動作させるか同時に動作させるといふ簡単な回路変更によって、複数ビットのデータをシリアル又はパラレルに読み出すことができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基き具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、メモリアレイの数とその周辺回路の数は、必要に応じて種々の変形を採ることができるものである。第3図における各回路の具体的な回路構成は、上記動作を行うものであれば何でもよい。上記第4図の実施例における駆動回路は、タイミング信号に従ってその不動作期間には出力回路をハイインピーダンス状態にし、動作期間にはメインアンプからの信号を出力回路に供給するものであれば何でもよい。

この発明は、アドレスストロブ信号に従ってアドレス信号を多重化して供給する半導体記憶装置

に広く利用できる。

図面の簡単な説明

第1図は、この発明に先立って提案されているニブルモードを説明するためのタイミング図、

第2図は、この発明の一実施例を示す回路図、

第3図は、そのデータ出力バッファとデータ入力バッファDIB1～DIB4及びタイミング発生回路TGの一部の実施例を示すブロック図、

第4図及び第5図は第3図の回路ブロックR1及びW1の具体的な回路図、

第6図はタイミング発生回路の具体的なブロック図、

第7図は、上記第3図及び第6図の実施例回路の動作の一例を説明するためのタイミング図、

第8図は、上記データ出力バッファの他の一実施例を示す回路図である。

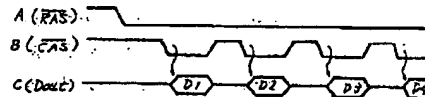
MARY1～MARY4…メモリアレイ、MC…メモリスル、DC…デミセル、CW…カラムスイッチ、SA…センスアンプ、AR…アクティブリストア回路、RC…DCB…row/カラムデ

コード、ADB…アドレスバッファ、DOB…データ出力バッファ、DIB…データ入力バッファ、R1～R4…読み出しアンプ、W1～W4…書き込みアンプ、OB1～OB4…出力バッファ、IB1～IB4…入力バッファ、DV1～DV4…駆動回路、SR…シフトレジスタ、TG…タイミング発生回路。

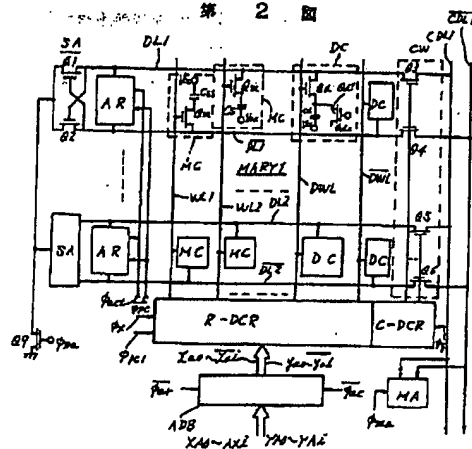
代理人 弁護士 小川 勝 男

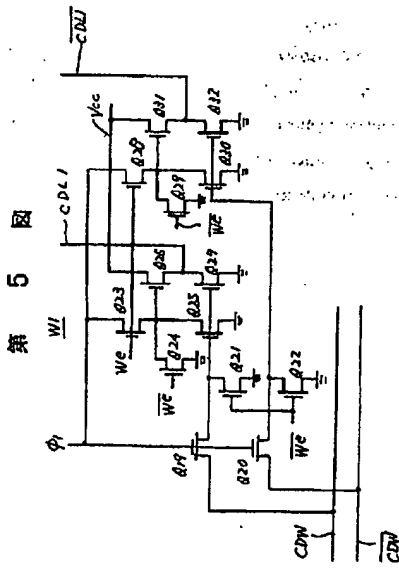
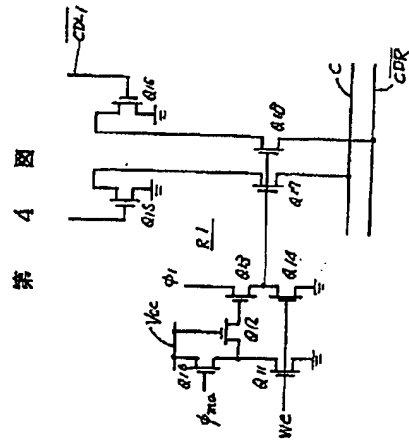
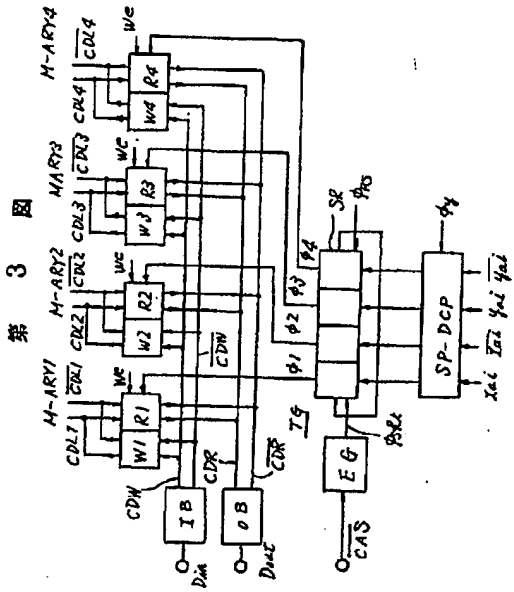


第 1 図

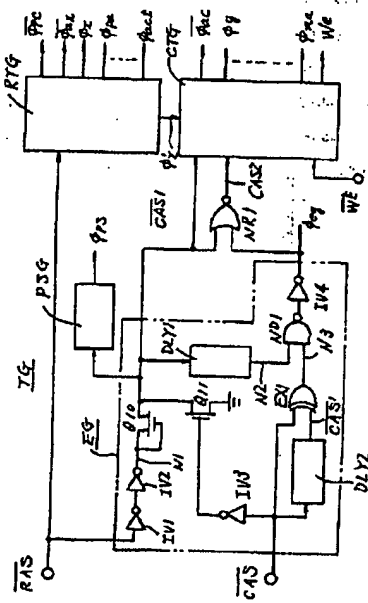


第 2 図

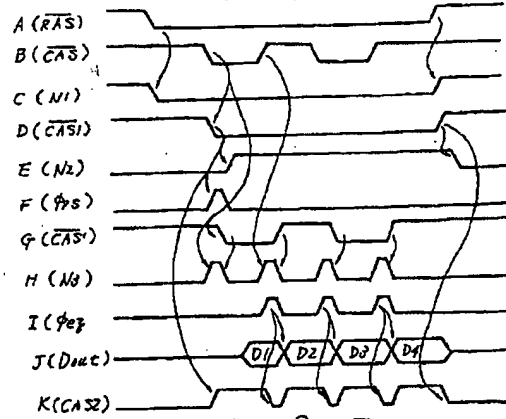




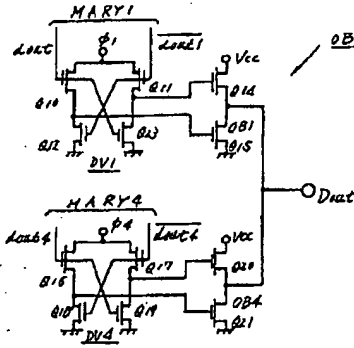
第 6 圖



第 7 図



第 8 図



特開昭61-220193

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成5年(1993)5月7日

【公開番号】特開昭61-220193

【公開日】昭和61年(1986)9月30日

【年通号数】公開特許公報61-2202

【出願番号】特願昭60-80694

【国際特許分類第5版】

G11C 11/401

【FI】

G11C 11/34 362 E 8526-5L

特許補正書(目録)

平成4年2月27日

特許庁長官殿

1. 事件の表示

昭和60年特許願第60694号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

住所 〒101 東京都千代田区神田駿河台四丁目6番地  
名称 (510)株式会社日立製作所

4. 代理人

住所 〒116 東京都荒川区西日暮里6丁目5番3号  
馬井ビル201号  
電話 03-3853-4221

氏名 (8355) 弁護士 秋田 成 喜

5. 補正の対象

明細書の特許請求の範囲の欄及び発明の詳細な説明の欄、  
図面の第2図、第3図及び第4図

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙のとおり補正する。

(2) 同書の第13頁第5行目の「ya0, ya0ないしya1, ya1」を「ay0, ay0ないしay1, ay1」に補正する。

(3) 同書の第16頁第8行目の「ライトネーブル信号」を「ライトイネーブル信号」に補正する。

(4) 同書の第24頁第6行目の「R1, W1~R2, W4」を「R1, W1~R4, W4」に補正する。

(5) 同書の第25頁第14行目の「IY2」を「IY3」に補正する。

(6) 同書の第27頁第3行目の「DLY2」を「DLY1」に補正する。

(7) 図面の第2図、第3図及び第4図を別紙のとおり補正する。

別 紙

特許請求の範囲

1. メモリアレイ

上記メモリアレイに結合されるべき複数の読み出し回路または書き込み回路、

カラムアドレスストロブ信号の送達変化を検出することによってタイミング信号を形成するタイミングゼネレータ、及び

上記タイミング信号を受けることによって上記複数の読み出し回路または書き込み回路を順次に動作させる制御信号を出力する制御回路、

からなることを特徴とする半導体記憶装置、

2. 上記制御回路は、上記タイミング信号をシフトパルスとして受けるシフトレジスタからなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置、

3. 上記メモリアレイは、マトリクス配置された複数のダイナミック型メモリセル、各ダイナミック型メモリセルの選択端子に結合された複数のデータ線、及び各ダイナミック型メモリセルのデ

\*タ入出力端子に結合された複数のデータ線からなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置、

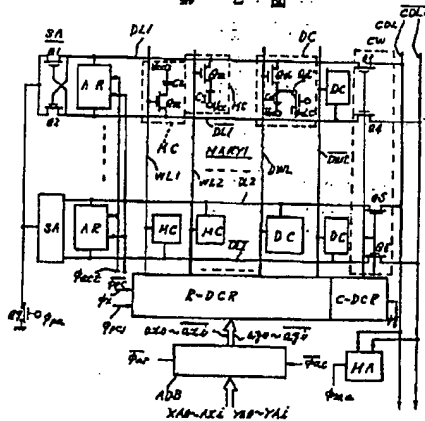
4. 上記複数の読み出し回路の出力端子は、互いに共通接続されていることを特徴とする特許請求の範囲第3項記載の半導体記憶装置、

5. 上記半導体記憶装置は、更に、上記メモリアレイに結合されるべき複数の書き込み回路からなり、

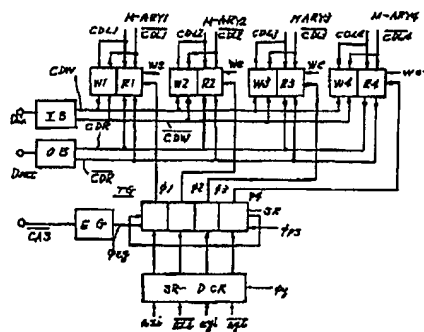
上記書き込み回路は、上記シフトレジスタから出力される制御信号によって順次に動作されることを特徴とする特許請求の範囲第4項記載の半導体記憶装置、

\*

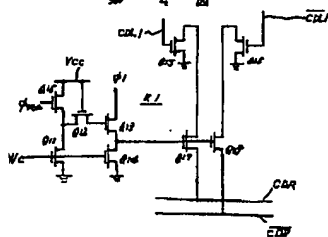
第 2 図



第 3 章



第 4 回





Japan Patent Office  
Public Patent Disclosure Bulletin

Public Patent Bulletin Disclosure No.: S61-220193  
Public Patent Bulletin Disclosure Date: September 30, 1986  
Request for Examination: Not yet made  
Number of Inventions: 1  
Total Pages: 13

Int.CI. 5	Identification Code	Internal File Nos.
G11C 11/34	101	8522-5B

---

Title of Invention: Semiconductor memory device  
Patent Application Number: 60-060694  
Patent Application Date: March 27, 1985  
Inventor: Matsumoto Tetsuo  
Hitachi Device Development Center,  
1450 Kamimizu Hon-machi, Kodaira-shi,  
Japan  
Applicant: Hitachi, Ltd., 4-6 Surugadai, Kanda,  
Chiyoda-ku, Tokyo Japan  
Agent: Ogawa, Katsuo and one other

## BACKGROUND OF THE INVENTION

### What Is Claimed Is:

1. A semiconductor memory device, comprising:  
a memory array;  
multiple read circuits connected to said memory array;  
a timing signal generator to form timing signals by detecting transient changes in the column address strobe signal;  
and  
control circuitry to output a control signal to sequentially activate said multiple read circuits by receiving said timing signal.

2. The semiconductor memory device according to Claim 1, wherein said control circuitry consists of a shift register that receives said timing signal as a shift pulse.

3. The semiconductor memory device according to Claim 1, wherein said memory array comprises multiple dynamic memory cells arranged in a matrix, multiple data lines connected to the selection terminals of each dynamic memory cell, and multiple data lines connected to the data input and output terminals of each dynamic memory cell.

4. The semiconductor memory device according to Claim 3, wherein the output terminals of said multiple read circuits are mutually connected together.

5. The semiconductor memory device according to Claim 4, wherein said semiconductor memory device also comprises multiple write circuits connected to said memory array, with said write

circuits sequentially activated by control signals output from said shift register.

## 1. Field of the Invention

This invention pertains to a semiconductor memory device. For example, it pertains to a useful technique for a semiconductor memory device having the function (=pull mode) of serially writing and reading data comprising plural bits.

## 2. Description of the Related Art

For example, in the case of dynamic RAM (random access memory), in addition to the method of accessing data in 1-bit units, an access method known as nibble mode has been proposed.

Fig. 1 shows a signal timing chart for nibble mode. For the purpose of RAM access, row address strobe signal RAS and column address signal CAS are dropped to low level, as shown in the drawing. Column address signal CAS falls multiple times, as shown in the drawing. Synchronized with the initial drop in signals RAS and CAS, RAM acquires a pair of address signals, that is, the row address signal and column address signals. RAM capable of nibble operation contains multiple signal storage circuits, along with a shift register and register to control that operation. When a single address setting is performed, 4 bits of data is applied to the signal holding circuit in RAM. These 4 bits of data are sequentially output from RAM 1 bit at a time synchronized with the drop in the column address strobe signal CAS, as shown in the timing chart in Fig. 1C.

With this type of dynamic RAM, when internal circuits such as the timing generation circuit consist of dynamic circuits, those internal circuits are configured so they are put into precharge mode or reset mode when the column address strobe signal CAS goes into high level, and so they form various

signals when column address strobe signal CAS goes into low level.

Here, while the column address strobe signal CAS is in high level, its minimum pulse width is controlled by the system clock of the electronic system utilizing the RAM. Accordingly, when a precharge interval is set by high level for column address strobe signal CAS, as in this instance, RAM access time slows down, which is a disadvantage.

#### Purpose of the Invention

The purpose of this invention is to provide a semiconductor memory device capable of performing input and output of multiple bit data at high speed.

It will become clear from the description in this Specification and the attached drawings what is the purpose as previously stated, what are other purposes, and what are new characteristics.

#### SUMMARY OF THE INVENTION

The following consists of a brief summary of the typical elements of the invention as disclosed in this application. In other words, the invention realizes high-speed access by performing serial input and output of data to multiple memory arrays synchronized with the column address strobe signal change timing signal.

#### DESCRIPTION OF THE PREFERRED EMBODIMENTS

Fig. 2 shows the circuit diagram for one embodiment applying this invention to dynamic RAM. The dynamic RAM in the embodiment is not limited in any particular way, but it also has

peripheral circuitry connected to each memory array, including four memory arrays MARY1 through MARY4, a sense amp SA, an active restore circuit AR, a column switch CW, a main amp MA, a row and column address decoder RC-DCR, an address buffer ADB, and a timing generation circuit.

The four memory arrays have mutually corresponding memory addresses. The address decoder, column switch circuit and other peripheral circuitry connected to the four memory arrays are appropriately configured to make it possible to simultaneously select mutually corresponding memory addresses in the four arrays.

In order to simplify the drawing, Fig. 2 shows only the single MARY1 memory array out of the multiple memory arrays, along with its peripheral circuitry. These memory arrays and peripheral circuits are formed on a single semiconductor substrate using widely-known semiconductor integrated circuit technology.

The embodiment circuit shown in Fig. 2 is configured as an IGFET (Insulated Gate Field Effect Transistor), typically an n-channel MOSFET.

Memory array MARY1 comprises multiple data lines (bit lines) DL1 through DL2, word lines WL1 and WL2, and memory cells MC. There is no special limitation, but memory array MARY1 is configured using the folded bit line method. Data lines DL1 and DL1, which are adjacent and extended in parallel, form a mutual pair. Memory cells MC are connected at one of two crossing points formed by a pair of data lines DL1 and DL1 and a single word line WL1.

A 1-bit memory cell MC comprises a data storage capacitor Cs and an address selection MOSFET Qm. Data for a logical "1" or "0" is stored by whether or not an electrical load is applied to capacitor Cs.

Data reading is performed by connecting capacitor  $C_s$  to shared data lines  $DL$  by putting MOSFET  $Q_m$  into On mode, and sensing what change occurs in the potential of data lines  $DL$  in relation to the electrical load accumulated in capacitor  $C$ . As for the potential change applied to data line  $DL$  by the selected memory cell  $MC$  -- in other words, the level of the data signal - the data line  $DL$  has a comparatively large parasitic capacitance, and thus is miniscule.

While there is no special restriction, a dummy cell  $DC$  is set up to serve as a reference for detecting this miniscule signal. This dummy cell  $DC$  is made with the same manufacturing requirements and the same design constants as memory cells  $MC$ , except that the capacity value of its capacitor  $C_d$  is only about half that of capacitor  $C_s$  of memory cells  $MC$ . Capacitor  $c_d$  is charged to grounding potential by MOSFET  $Q_d'$  prior to addressing.

Since the capacity value of capacitor  $C_d$  is set to about half the capacity value of capacitor  $C_s$ , dummy cell  $DC$  applies to one pair of data lines a reference voltage of about half that of the read signal applied from memory cell  $MC$  to the other pair of data lines.

The number of memory cells connected to complementary data lines  $DL$  and  $\underline{DL}$  is equalized in order to increase detection precision, or to phrase it differently, in order to mutually equalize the parasitic capacitance connected to complementary data lines  $DL$  and  $\underline{DL}$ . One dummy cell is connected to each of data lines  $DL$  and  $\underline{DL}$ . In addition, as stated previously, each memory cell  $MC$  is connected between a single word line  $WL$  and to one pair of complementary data lines.

In addressing, when a memory cell  $MC$  connected to one complementary pair of data lines  $DL$  and  $\underline{DL}$  is selected, a pair

of dummy word lines DWL and DWL are selected so that the dummy cell DC is definitely connected to the other data lines.

Sense amp SA expands the potential change differential created by the addressing described above for the sensing interval determined by timing signal (sense amp control signal  $\phi_{pa}$ ). That pair of input-output nodes is connected to complementary data lines DL and DL, which are situated opposite one another in parallel. This sense amp SA has a pair of perpendicularly connected MOSFET Q1 and Q2, the positive feedback from which differentially amplifies the miniscule signal manifested in the complementary data lines DL and DL.

The word lines WL are situated perpendicular to the data line pairs, resulting in the formation of unwanted coupling capacity between each word line and data line. Accordingly, when one word line is selected, noise is applied to each data line via that coupling capacity. However, in a memory array that uses the folded bit line method, the noise applied to the data line pair DL and DL via the coupling capacity from the word line has the identical level for both. This noise consists of common mode noise, and so is cancelled out by the differential type sense amp SA.

When addressing is performed as described above, the temporarily destroyed stored data in memory cell MC is restored by taking in the high level or low level potential obtained by this sensing action.

Nevertheless, when the high level set as the result of the action of sense amp SA falls to a certain point in relation to the power source voltage  $V_{cc}$ , this produces an erroneous operation in which a some repeated read and rewrite operations produce a read of logical "0." Active restore circuit AR is provided in order to prevent this erroneous operation. This

active restore circuit AR has no effect on low level signals, but selectively boosts the potential of power source voltage Vcc for high level signals only.

The data line pair DL1 and DL1 shown in this drawing are connected to the common complementary data line pair CDL1 and CDL1 via MOSFET Q3 and Q4, which comprise column switch CWS. The other data line pair is similarly connected to common complementary data line pair CDL1 and CDL1 via MOSFET Q5 and Q6. This common complementary data line pair CDL1 and CDL1 is connected to the data output circuit input terminal and data input circuit output terminal, as will be discussed hereafter in relation to Fig. 3. Common complementary data lines CDL1 and CDL1 are also connected to the pair of input-output terminals in main amp MA.

Row decoder and column decoder RC-DCR receives internal complementary address signals formed by address buffer ADB and forms a column switch signal for one word line and the dummy word line. This is how memory cell and dummy cell addressing is performed.

The configuration of address buffer ADB and row decoder and column decoder RC-DCR is the same as well-known dynamic RAM. Accordingly, a detailed explanation of these is omitted.

To state it simply, these circuits are composed of dynamic operation circuits, with their respective operations controlled by various timing signals output from the timing generation circuit to be described hereafter. In other words, address buffer ADB takes in external address signals XA0-XA1 synchronized with timing signal  $\phi_{ar}$  formed by row address strobe signal RAS, and forms internal complementary address signals ax0 and ax0 and ax1 and ax1. Address buffer ADB also takes in external address signals YAO and YAi synchronized with timing



signal  $\phi_{ac}$  formed by column address strobe signal CAS, and forms internal complementary address signals ya0 and ya0 and yai and yai. There is no special restriction, but the column-related internal complementary address signals axi and axi, of the address signals ax0 through axi, are supplied to address decoder SR-DCR, as will be described hereafter in relation to Fig. 3. The remaining internal complementary address signals ax0 and ax0 and axi-1 and axi-1 are supplied to row decoder R-DCR. Similarly, column-related internal complementary address signals ayi and ayi, of the address signals ay0 through ayi, are supplied to address decoder SR-DCR, while the remaining address signals ay0 and ay0 and ayi-1 and ayi-1 are supplied to column decoder C-DCR.

Row address decoder R-DCR receives the word line selection timing signal  $\phi_x$ , which is formed based on the low address strobe signal, along with the internal complementary address signals described above, and selects the word line and dummy word line specified by address signals XA0 through XAI-1, synchronized with timing signal  $\phi_x$ .

Column decoder C-DCR receives the data line selection timing signal  $\phi_y$ , which is formed based on column address strobe signal CAS, along with the internal complementary address signals described above, and selects the data lines indicated by the abovementioned address signals YAO through YAI-1, synchronized with the data line selection signal  $\phi_y$  described above.

The operation of main amp MA is controlled by timing signal  $\phi_{ma}$ , and amplifies the data signal applied to common complementary data lines CDL1 and cdma, and amplifies the data signal applied to common complementary data lines CDL1 and CDL1.

Fig. 3 presents a block diagram of an embodiment of data output circuits R1 through R4 and data input circuits W1 through W4, circuits that realize the nibble mode functionality that serially writes and reads 4 bits of data, and a portion of the timing generation circuit TG that controls their operation.

Although there is no special restriction, in this embodiment there are formed 4 memory arrays MARY1 through MARY4, along with 4 read circuits and read amps R1 through R4 that amplify the read signal obtained from the respective common complementary data line pairs CDL1 and CDL1 through CDL4 and CDL4, plus 4 write circuits and write amps W1 through W4 that supply write signals to the abovementioned respective common complementary data line pairs CDL1 and CDL1 through CDL4 and CDL4. In addition, the output signals from said read amps R1 through R4 are transmitted externally via a common output buffer OB. At the same time, the input terminals of said read amps are supplied with write signals from external sources via a common input buffer IB. Thus, when output buffer OB and input buffer IB are made into common buffers, these circuits OB and IB may be configured as static circuitry such as CMOS circuits, though there is no special restriction.

In this embodiment, said read amps R1 through R4 and write amps W1 through W4 are diachronically activated by read and write control signal we and by timing signals  $\phi 1$  through  $\phi 4$  formed by timing generation circuit TG, which will be discussed hereafter. In other words, if write enable signal WE is at high level, read amps R1 through R4 are diachronically activated by timing signals  $\phi 1$  through  $\phi 4$  formed by timing generation circuit TG. If write enable signal WE is at low level, write amps W1 through W4 are diachronically activated by timing signals  $\phi 1$  through  $\phi 4$  formed by timing generation circuit TG.

Read amp R1 goes into active mode when write control signal  $\text{we}$  is at low level and then timing signal  $\phi_1$  is at high level. When in active mode, read amp R1 takes data signals corresponding to data signals applied to common complementary data lines CDL1 and CDL1, which are connected to memory array MARY1, and outputs those data signals to complementary signal lines CDR and CDR. When write control signal  $\text{we}$  is at high level, or in other words, when write to memory active mode is commanded by low level on external write enable signal WE, and when timing signal  $\phi_1$  is at low level, read amp R1 is put in inactive mode. When in inactive mode, the output impedance of read amp R1 is set to high impedance mode.

Fig. 4 shows a specific example circuit for read amp R1. As shown in the drawing, read amp R1 comprises amplifier MOSFET Q15 and Q16, switch MOSFET Q17 and Q18, and MOSFET Q10 through Q14, which control switch MOSFET Q17 and Q18, the respective gates of which are connected to common complementary data lines CDL1 and CDL1.

If write control signal  $\text{we}$  is at high level, MOSFET Q11 and Q14 go into ON mode, while the gates of switch MOSFET Q17 and Q18 are maintained at a low level of essentially 0 volts. Consequently, this puts MOSFET Q17 and Q18 into OFF mode.

When timing signals  $\phi_{\text{ma}}$  and  $\phi_1$  are at high level with write control signal  $\text{we}$  at low level, this puts MOSFET Q17 and Q18 into ON mode. This results in amplifier MOSFET Q15 and Q16 being connected to complementary signal lines CDR and CDR, respectively. Since amplifier MOSFET Q15 and Q16 are activated in complementary fashion to one another by the data signal applied to common complementary data lines CDL1 and CDL1, one of the pair of complementary signal lines CDR and CDR is forced to a low level of essentially 0 volts.

If the data output buffer OB shown in Fig. 3 has no means for applying potential to the respective complementary signal lines CDR and CDR, a pullup resistance means (not shown) is provided between complementary signal lines CDR and CDR and circuit power source terminal Vcc.

Read amps R2 through R4 in Fig. 3 have the same configuration as amp R1.

Read amps R1 through R4 are sequentially activated as timing signals  $\phi 1$  through  $\phi 4$  are sequentially generated.

Write amp W1 is put into active mode when timing signal  $\phi 1$  is at high level with write control signal we at high level. When in active mode, write amp W1 takes data signals corresponding to data signals supplied to common signal lines CDW and CDW and applies those signals to common complementary data lines CDL1 and CDL1. As a result, external data signal Din and the corresponding data signals are applied to common complementary data lines CDL1 and CDL1 via input buffer IB and write amp W1. When write control signal we and timing signal  $\phi 1$  are at low level, write amp W1 goes into inactive mode. When in inactive mode, write amp W1 is configured to maintain high output impedance.

Fig. 5 shows a specific circuit example for write amp W1.

If write control signal we is at low level and we is at high level, this puts MOSFET Q21, Q22, Q24 and Q29 into ON mode, while it puts MOSFET Q23 and Q28 into OFF mode. At this time, MOSFET Q26, Q27, Q31 and Q32, which comprise output buffers, are set to OFF mode, since their gates are set to essentially 0 volts by said MOSFET Q21, Q22, Q24 and Q29. Consequently, in this mode, the potential of common complementary data lines CDL1 and CDL1 cannot be modified by write circuit W1.

If write control signals we and we are at high level and low level, respectively, the conduction state of MOSFET Q26, Q27, Q31 and Q32 is determined by the level of complementary signal lines CDW and CDW when timing signal  $\phi 1$  is generated. The circuit operation at that time is as described below.

For example, the levels of complementary signal lines CDW and CDW are set to high level and low level, respectively, by data input buffer IB as shown in Fig. 3. When signal  $\phi 1$  is set to high level, this puts switch MOSFET Q19 and Q20 into ON mode. This results in the gates for MOSFET Q25 and Q27 being put into high level, corresponding to the high level for signal line CDW. Timing signal  $\phi 1$  is supplied to the gate of MOSFET Q26 via MOSFET Q23. However, in this instance, since the MOSFET Q25 has been put into ON mode by the high level gate potential of MOSFET Q26, the latter is put into low level at essentially 0 volts. Since signal line CDW is put into low level, the gates of MOSFET Q30 and Q30 are put into a low level. Timing signal  $\phi 1$  is supplied to the gate of MOSFET Q31 via MOSFET Q28. In this instance, since MOSFET Q30 is in OFF mode, the gate of MOSFET Q31 is put into high level when timing signal  $\phi 1$  is at high level.

As a result, common complementary data lines CDL1 and CDL1 are forced into low level and high level, respectively.

Write amps W2 through W4 have the same configuration as W1. As a result, write amps W1 through W4 are sequentially activated by the sequential generation of timing signals  $\phi 1$  through  $\phi 4$ .

The portion of timing generation circuit TG comprises edge trigger circuit EG, which receives column address strobe signal CAS, and shift register SR. More specific configuration of timing generation circuit TG will be described hereafter in relation to Fig. 6.

Said edge trigger circuit EG, while not subject to any special restriction, forms said column address strobe signal CAS and its delay signal CAS' and supplies these signals to an exclusive logical AND circuit, through which column address strobe signal CAS change timing is detected

No response is to be made to the initial change timing. The timing signal EG formed thereby is used as a shift clock for shift register SR.

Shift register SR is a 4-bit shift register, the default value for which is set by the decoding signal output from address decoder SR-DCR, which receives internal address signals axi, axi, ayi and ayi corresponding to external address signals XAi and YAi, and by the preset signal  $\phi_{ps}$ .

In other words, when timing signal  $\phi_y$  is generated after internal address signals axi, axi, ayi and ayi are output from the address buffer ADB shown in Fig. 2, the address decoder SR-DCR responds by being activated. In further response, one of the four output bits of address decoder SR-DCR is set to high level (logical "1"). Thereafter, when preset signal  $\phi_{ps}$  is generated, the output of address decoder SR-DCR is preset in shift register SR. In other words, out of the four bits in shift register SR the single bit designated by address signals XAi and YAi is set to logical "1" while the remaining three bits are set to logical "0" as the initial setting. The data for said logical "1" is shifted sequentially to the right in accordance with said shift clock, with the final stage output looping back to the initial stage.

As a result, four timing signals  $\phi_1$  through  $\phi_4$  are formed from the respective stages of shift register SR. These timing signals are supplied to the corresponding amps R1 and W1 through R4 and W4.

Fig. 6 shows a specific block diagram of timing generation circuit TG.

While there is no special restriction, in the drawing edge circuit EG comprises impedance circuits IV1 through IV4, exclusive logical AND circuit EX1, NAND circuit ND1, delay circuits DLY1 and DLY2, and MOSFET Q10 and Q11.

Delay circuit DLY2 and exclusive logical AND circuit EX1 comprise detection circuitry to detect transients in column address strobe signal CAS. Delay circuit DLY2 is configured to have the pulse width of the detection pulse it is to obtain, and the effectively equivalent delay time. Consequently, when column address strobe signal CAS changes as shown in Fig. 7B, detection pulse N3 that is output from exclusive logical AND circuit EX1 changes as shown in Fig. 7H.

Impedance circuits IV1 and IV2 and MOSFET Q10 and Q11 comprise column address strobe signal detection circuitry.

If row address strobe signal RAS and column address strobe signal CAS are both maintained at high level, output N1 from impedance circuit IV2 is set to high level, as shown in Fig. 7C. At this time, the diode-connected MOSFET Q10 is effectively set to ON mode, while MOSFET Q11 is set to OFF mode by the output (low level) from impedance circuit IV2, which receives column address strobe signal CAS. Accordingly, signal CAS1 is set to high level, as shown in Fig. 7D.

When row address strobe signal RAS changes to low level, the output of impedance circuit IV2 changes in response to low level as shown in Fig. 7C. At this time, MOSFET Q10 automatically is set to OFF mode. Signal CAS1 is maintained at high level by the floating capacitance and parasitic capacitance existing at the connection point between MOSFET Q10 and Q11.

Thereafter, when column address strobe signal CAS changes to low level as shown in Fig. 7B, MOSFET Q11 is set in response

to ON mode. This results in signal CAS1 being set to low level as shown in Fig. 7D. Signal CAS1 is maintained at low level irrespective of subsequent changes in the level of column address strobe signal CAS. To state it differently, signal CAS1 is set to low level only in response to the initial drop in signal CAS. As shown in Fig. 7D, signal CAS1 goes into high level in response to the RAS signal and CAS signal being put into high level.

Delay circuit DL1 and NAND circuit ND1 comprise gate circuitry. Delay circuit DL1 has a signal inversion function. The delay circuit DL1 delay time is set larger than that of delay circuit DL2.

Output N2 from delay circuit DLY2 is set at low level as shown in Fig. 7E, while signal CAS1 is set first at low level and then at high level. As a result of appropriate setting of the delay time of delay circuit DLY1, output N2 is set to high level after the initial high level interval for exclusive logical AND circuit EX1. NAND circuit ND1 is opened when output N2 is set to high level.

As a result, output  $\phi_{eg}$  from NAND circuit ND1 obtained via impedance circuit IV4 -- in other words, shift clock  $\phi_{eg}$  -- does not respond to the initial transient of the CAS signal, as shown in Fig. 7I.

In Fig. 6, preset pulse generation circuit PSG forms the preset signal  $\phi_{ps}$  shown in Fig. 7F by detecting the drop in signal CAS1. This preset signal  $\phi_{ps}$  is supplied to the shift register SR shown in Fig. 3.

In Fig. 6, row timing generation circuit RTG forms the various row-related timing signals by receiving the row address strobe signal RAS.



Timing signal  $\phi_{pc}$  is set to high level when the RAS signal is at high level, and it is set to low level when the RAS signal is at low level. The precharge circuit (not shown) in the active restore circuit AR shown in Fig. 2 is activated by high level in timing signal  $\phi_{pc}$ , with the corresponding pairs of data lines being set essentially to the precharge level of power source voltage  $V_{cc}$ .

Timing signal  $\phi_{ar}$  is set to low level when the RAS signal is at low level. As stated previously, the operation of address buffer ADB is controlled by timing signal  $\phi_{ar}$ , and it receives row-related address signals  $XA_0$  through  $XA_i$ .

Timing signal  $\phi_x$  is set to high level after timing signal  $\phi_{ar}$  is set to low level. This results in row decoder R-DEC being activated.

Timing signal  $\phi_{pa}$  goes into low level in response to the RAS signal going into high level, then it goes into low level after timing signal  $\phi_x$  goes into high level. This causes the sense amp shown in Fig. 2 to be activated after a word line is selected.

Timing signal  $\phi_{ac}$  goes into low level when the RAS signal goes into low level, then it goes into high level after timing signal  $\phi_{pa}$  goes into high level. This causes active restore circuit AR to be activated after the data signals applied from the memory cell to data lines  $DL_1$  and  $DL_1$  are amplified by sense amp SA.

Signals CAS1 and  $\phi_{eg}$ , which are output from the edge trigger circuit EG shown in Fig. 6, serve as control signals controlling the operation of column timing generation circuit CTG.

Column timing generation circuit CTG outputs a variety of timing signals by receiving said signal CAS1 along with timing

signal  $\phi x$ , which has the same effective phase as the timing signal  $\phi x$  output from row timing generation circuit RTG.

Timing signal  $\phi ac$  is set to low level when signal CAS1 changes to low level. Address buffer ADB receives column-related address signals YAO through YAi as a result of timing signal  $\phi ac$  going into low level.

When signal CAS1 is set to low level, timing signal  $\phi y$  is set to high level after timing signal  $\phi x'$  is output from row timing generation circuit RTG. Column decoder C-DCR is activated by timing signal  $\phi y$ .

Timing signal  $\phi ma$  is set to high level in response to the signal output from NOR circuit NR1 going into high level, as shown in Fig. 7K.

Main amp MA shown in Fig. 2 is activated by this timing signal  $\phi ma$ .

Note that NOR circuit NR1 and the signal CAS2 output from that circuit are not necessary for the column timing generation signal CTG in this embodiment. When output buffer OB and input buffer IB as shown in Fig. 3 comprise timing circuitry that includes precharging circuitry, signal CAS2 is needed to respond to column address strobe signal CAS transients and control precharge start and operation start of these circuits.

Output N3 from exclusive logical AND circuit EX1 may be utilized in addition to said signal CAS2, but in this instance, it is necessary to attend to the following points.

That is, the timing for when output N3 changes to low level is delayed only by the delay time of delay circuit DLY2 in relation to the CAS signal change timing. Thus, a somewhat long time is required for output N3 to change to low level after the CAS signal is first set to low level. As a result, the response

speed of the circuit to the initial drop in the CAS signal is limited.

The read operation of the circuit in this embodiment will be explained in reference to the timing chart in Fig. 7.

When row address strobe signal RAS goes into low level, X-group addressing is performed as shown above, and a read signal appears on data line DL, as discussed above. Next, when column address strobe signal CAS goes into low level, Y-group addressing is performed, memory cells are selected one at a time from the four memory arrays, and the read signal from those memory cells is obtainable on common complementary data line pairs CDL1 and CDL1 through CDL4 and CDL4. In addition, when the first stage circuit, for instance, of shift register SR is set to logical "1" by said address signals XAi and YAi, this sets timing signal  $\phi 1$  to high level. When write enable signal WE is set to high level (not shown), read amp R1 is activated by this timing signal  $\phi 1$ . As a result, a read signal from memory array MARY1 is output from output buffer OB. Next, when column address strobe signal CAS changes to high level, shift clock  $\phi_{eg}$  from edge trigger circuit EG is transmitted in response. Therefore, the logical "1" in shift register SR is shifted to the next stage. As a result, timing signal  $\phi 2$  goes into high level, and read amp R2 is activated in place of read amp R1. This results in output from output buffer OB of a read signal from memory array MARY2. Hereafter, whenever column address strobe signal CAS changes similarly, the logical "1" in shift register SR is shifted, and read signals from memory array MARY3 and memory array MARY4 are sequentially output. The setting of the first memory array to read may be performed optionally by setting said address signals XAi and YAi.

The write operation occurs by sequentially activating amps W1 through W4 in the same manner as described above, if write data is supplied to external terminal Din synchronized with the timing of changes in said column address strobe signal CAS. Accordingly, write operations occur sequentially to the for memory arrays.

The circuitry in the embodiment may be altered. For example, output buffer OB and input buffer IB may comprise dynamic circuitry that includes a precharge circuit as described previously. In this instance, the operation of output buffer OB and input buffer IB is controlled by detection pulse CAS2 as shown in Fig. 7K. In other words, these circuits OB and IB are put into precharge mode by low level of the detection pulse (CAS2), and is activated when a level change is detected in column address strobe signal CAS (or, in other words, when CAS2 goes into high level). In this instance, since circuit OB and various nodes in IB are preset to a reference level, these circuits operate without error even with timing where the data signals applied respectively cannot be increased to a sufficiently large level. In this instance, precharging or presetting is carried out as well, which makes it possible to keep constant the operation timing of circuits OB and IB.

Output buffer OB and input buffer IB may omit the respective common circuits.

For example, output buffer OB may possess circuitry components that correspond one-for-one with read amps R1 through R4.

Fig. 8 presents a circuit diagram for an embodiment of this sort of data output buffer OB.

The amplified output signal from said read amps (main amps) R1 through R4 (see Fig. 3) are supplied to respective drive circuits DV1 through DV4. In this drawing, drive circuits DV1

and DV4 are shown as typical examples. In other words, drive circuit DV1 is placed between the terminal where timing signal  $\phi 1$  is supplied and the circuit contact potential point, and comprises push-pull mode MOSFET Q10 and Q12 and MOSFET Q11 and Q13, which alternately receive complementary data signals  $d_{out1}$  and  $\overline{d_{out1}}$  from said read amp R1. In other words, inverted output signal  $\overline{d_{out1}}$  is supplied to the gates of MOSFET Q10 and Q13, while non-inverted output signal  $d_{out1}$  is supplied to the gates of MOSFET Q11 and Q12. The signals obtained from the connection points of said MOSFET Q10 and Q12 and MOSFET Q11 and Q13 are supplied to the gates of the next push-pull mode output MOSFET Q14 and Q15. In other words, The signal at the connection point between MOSFET Q10 and Q12 is supplied to the gate of ground potential side output MOSFET Q15. The signal at the connection point between MOSFET Q11 and Q13 is supplied to the gate of ground potential side output MOSFET Q14.

The remaining drive circuits DV2 through DV4 and output circuits OB2 through OB4 comprise circuitry similar to the above. In addition, the output terminals for output circuits OB1 through OB4 are shared, or, to put it differently, they have a wire door configuration that connects to a single output terminal Dout. Timing signals  $\phi 1$  through  $\phi 4$  supplied to said respective drive circuits DV1 through DV4 are formed by said timing generation circuit TG as shown in Fig. 3.

Timing generation circuit TG forms timing signals  $\phi 1$  through  $\phi 4$  in accordance with column address signal change timing, starting with the initial output memory array designated by the two-bit address signals AXi and AYi and proceeding sequentially. Consequently, the four drive circuits DV1 through DV4 are alternately activated in accordance with timing signals  $\phi 1$  through  $\phi 4$  formed by timing generation circuit TG. As a result,

the read signals from the four memory arrays are output serially.

Note that when drive circuits DV1 through DV4 are put into inactive mode by low levels of timing signals  $\phi 1$  through  $\phi 4$ , their output is put into low level, which puts output circuits OB1 through OB4 into high impedance mode. Output signals from output buffers OB1 through OB4, which receive signals supplied by drive circuits DV1 through DV4, which have been put into active mode by high levels on said timing signals  $\phi 1$  through  $\phi 4$ , are transmitted from external output terminal Dout.

#### Benefits of the Invention

(1) It is possible to carry out a write or read operation on multiple memory arrays with each column address strobe signal change. This produces a benefit in the form of increased speed. When the output circuitry that performs precharging by means of the column address strobe signal is equipped with read circuitry or an output buffer, it requires a precharging time of approximately 30 ns, which means that a 4-bit read operation takes approximately 330 ns overall. In contrast, when read operations are performed with each column address strobe signal change as described heretofore, it is possible to perform a read operation in approximately 240 ns overall.

(2) When common buffers are used with read circuits that respectively receive signals from multiple memory arrays, this produces the benefit of being able to realize high-speed reading operations by means of comparatively simple circuitry.

(3) When the circuit configuration outputs signals from multiple memory arrays using respective drive circuits and output buffer circuits, this produces the benefit of being able to read multiple-bit data either serially or in parallel by

making a simple circuit change to either activate said drive circuits diachronically or simultanesouly.

The foregoing specific explanation by the inventors was based on the embodiments. However, this invention is not limited to the embodiments described herein. It goes without saying that various changes are possible within the scope of its intent. For example, changes can be made as needed in the number of memory arrays and the number of their peripheral circuits. The specific circuit configuration of the various circuits in Fig. 3 can be anything so long as it performs the operations described heretofore. The drive circuitry in the embodiment shown in Fig. 4 above can have the output circuitry put into high impedance mode during the inactive period produced by the timing signal, and can have the signals from the main amp supplied to the output circuit during the active period.

This invention can be widely utilized in semiconductor memory devices in which address signals are supplied in multiplexed form in accordance with address strobe signals.

#### Brief Explanation of Drawings

Fig. 1 shows a timing chart that describes nibble mode as proposed prior to this invention.

Fig. 2 shows a circuit diagram for an embodiment of this invention.

Fig. 3 shows a block diagram of an embodiment of this invention, including data output buffers and data input buffers DIB1 through DIB4, along with a portion of timing generation circuit TG.

Fig. 4 and Fig. 5 show specific circuit diagrams of circuit blocks R1 and W1 in Fig. 3.

Fig. 6 shows a specific circuit diagram of the timing generation circuit.

Fig. 7 shows a timing chart that explains an example of circuit operation in the embodiments in said Fig. 3 and Fig. 6.

Fig. 8 shows a circuit diagram of another embodiment of said data output buffer.

MARY1-MARY4      memory arrays  
MC    memory cell  
DC    dummy cell  
CW    column switch  
SA    sense amp  
AR    active restore circuit  
RC-DCR    row/column decoder  
ADB    address buffer  
DOB    data output buffer  
DIB    data input buffer  
R1-R4      read amps R1 through R4  
W1-W4      write amps W1 through W4  
OB1-OB4    output buffers  
IB1-IB4    input buffers  
DV1-DV4    drive circuits  
SR    shift register  
TG    timing generation circuit



Fig. 1

Fig. 2

Fig. 3

Fig. 4

Fig. 5

Fig. 6

Fig. 7

Fig. 8

[Type] Revision Listing under Provisions of Article 17,  
Section 2 of the Patent Law  
[Section Classification] Section 6, Class 4  
[Date Issued] May 7, 1993

Public Patent Disclosure Bulletin No. 61-220193  
Disclosure Bulletin Date September 30, 1986  
Serial No. 61-2202  
Application No. 60-60694  
Intl Cl. 5 G11C 11/401  
FI G11C 11/34 362 E 8526-5L

Procedural Revision Statement (Voluntary)

February 27, 1993

To the Director-General, Japan Patent Office

1. Showing of the Matter

App. No. S60-60694

2. Title of the Invention

Semiconductor Memory Device

3. Revisor

Relationship to the matter Patent applicant

Address: 4-6 Surugadai, Kanda, Chiyoda-ku, Tokyo Japan 101

Name: (510) Hitachi, Ltd.

4. Agent

Address: 201 Fujii Building, 6-53-3 Nishi-[illegible], Arakawa-  
ku, Tokyo Japan 116

Telephone: 03-3893-6221

Name: Akita Shuji

5. Objects of the Revision

Specification claims, detailed description of the invention,  
Fig. 2, Fig. 3 and Fig. 4

6. Content of the Revision

- (1) The claims in the specification are revised as per the attached.
- (2) On page 13, line 5, "ya0 and ya0 and yai and yai" is revised to "ay0 and ay0 and ayi and ayi."
- (3) On page 16, line 3, "write nable signal" is revised to "write enable signal."
- (4) On page 24, line 6, "R1 and W1 through R2 and W4" is revised to "R1 and W1 through R4 and W4."
- (5) On page 24, line 14, "IV2" is revised to "IV3."
- (6) On page 27, line 3, "DLY2" is revised to "DLY1."
- (7) Fig. 2, Fig. 3 and Fig. 4 are revised as per the attached.

Attachment

What Is Claimed Is:

1. A semiconductor memory device, comprising:  
a memory array;  
multiple read circuits and write circuits connected to said memory array;  
a timing signal generator to form timing signals by detecting transient changes in the column address strobe signal;  
and  
control circuitry to output a control signal to sequentially activate said multiple read circuits and write circuits by receiving said timing signal.
2. The semiconductor memory device in Claim 1, wherein said control circuitry consists of a shift register that receives said timing signal as a shift pulse.
3. The semiconductor memory device in Claim 1, wherein said memory array comprises multiple dynamic memory cells arranged in a matrix, multiple data lines connected to the selection terminals of each dynamic memory cell, and multiple data lines connected to the data input and output terminals of each dynamic memory cell.
4. The semiconductor memory device in Claim 3, wherein the output terminals of said multiple read circuits are mutually connected together.
5. The semiconductor memory device in Claim 4, wherein said semiconductor memory device also comprises multiple write circuits connected to said memory array, with said write

circuits sequentially activated by control signals output from said shift register.

Fig. 2

Fig. 3

Fig. 4

Translator's note: Text in the original with macrons is represented herein  
with underlining.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**